

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-181309

(43)公開日 平成8年(1996)7月12日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/78  
29/43

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78  
29/ 62

3 0 1 G  
Z

審査請求 未請求 請求項の数17 O L (全 11 頁)

(21)出願番号 特願平6-319686  
(22)出願日 平成6年(1994)12月22日

(71)出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72)発明者 古川 彰彦  
尼崎市塚口本町八丁目1番1号 三菱電機  
株式会社半導体基礎研究所内  
(72)発明者 阿部 雄次  
尼崎市塚口本町八丁目1番1号 三菱電機  
株式会社半導体基礎研究所内  
(74)代理人 弁理士 大岩 増雄

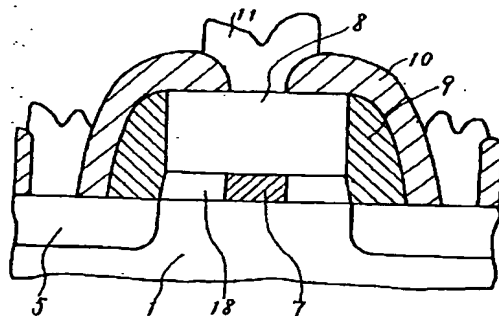
(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【目的】 MOS型半導体素子のゲート電極エッジ部での電界変調、及びゲート絶縁膜の劣化を減少させることにより素子の信頼性向上を計る。

【構成】 シリコン基板1にゲートシリコン酸化膜7、ポリシリコンゲート電極8を形成し、写真製版により所望のゲート長を得、次いでウェットエッチング等によりゲートシリコン酸化膜7を細らせる。次に高誘電率膜18を堆積させ、ゲートシリコン酸化膜7を細らせた部分のポリシリコンゲート電極8下に埋め込み、横方向(ソースからドレインに向かう方向)に高誘電率膜18、シリコン酸化膜7、高誘電率膜18からなるゲート絶縁膜が形成される。

【効果】 ゲート電極を仮想的に下向きの凹型構造とすることにより、ショートチャンネル効果に強い素子が作成でき、工程数の増加もほとんどない。



1:シリコン基板 8:ポリシリコンゲート電極  
5:高濃度拡散層 9:サイドウォール  
7:ゲートシリコン酸化膜 18:高誘電率膜

## 【特許請求の範囲】

【請求項 1】 基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する半導体装置において、基板の主表面に平行な方向に、誘電率の異なる複数の層よりなるゲート絶縁膜を備えたことを特徴とする半導体装置。

【請求項 2】 ゲート絶縁膜のゲート中央部の層より、ゲート端部の少なくともドレイン側の層が低誘電率であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 ゲート中央部の層がシリコン酸化膜であり、ドレイン側の層が中空であることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 ゲート中央部の層がシリコン酸化膜であり、ドレイン側の層がフッ化シリコン酸化膜であることを特徴とする請求項 2 記載の半導体装置。

【請求項 5】 ゲート中央部の層がシリコン窒化膜であり、ドレイン側の層がシリコン酸化膜であることを特徴とする請求項 2 記載の半導体装置。

【請求項 6】 ゲート絶縁膜のゲート中央部の層より、ゲート端部の層が高誘電率であることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 ゲート中央部の層がシリコン酸化膜であり、ゲート端部の層がシリコン窒化膜又はチタン酸バリウムストロンチウム膜であることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 主表面を有する基板、この基板の主表面上に形成された活性領域外の酸化膜上に両端を置き、活性領域上にエアブリッジ構造をもって形成されたゲート電極、このゲート電極の下に形成された中空のゲート絶縁層を備えたことを特徴とする半導体装置。

【請求項 9】 基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する工程、エッチングにより、上記ゲート絶縁膜の一部を除去する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 10】 ゲート絶縁膜及びゲート電極の側壁に絶縁膜を形成し、上記ゲート絶縁膜の除去した部分を中空にする工程を含むことを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】 基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する工程、エッチングにより、上記ゲート絶縁膜の一部を除去する工程、斜め回転イオン注入により、上記ゲート絶縁膜の除去した部分の下に低濃度拡散層を形成する工程、上記ゲート絶縁膜及びゲート電極の側壁に絶縁膜を形成し、上記ゲート絶縁膜の除去した部分を中空にする工程を含むことを特徴とする半導体装置の製造方法。

【請求項 12】 ゲート絶縁膜の中空部分に、急速熱処理することにより薄い酸化膜又は薄い窒化膜からなるパッシベーション膜を形成する工程を含むことを特徴とする請求項 10 又は請求項 11 記載の半導体装置の製造方法。

【請求項 13】 ゲート絶縁膜の除去した部分に、低誘電率の材料を埋め込む工程を含むことを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 14】 ゲート絶縁膜の除去した部分に、高誘電率の材料を埋め込む工程を含むことを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 15】 基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する工程、斜め回転イオン注入により、ゲート端部のゲート絶縁膜の誘電率をゲート中央部のゲート絶縁膜の誘電率と異なる値とする工程を含むことを特徴とする半導体装置の製造方法。

【請求項 16】 ゲート絶縁膜がシリコン酸化膜であり、フッ素の斜め回転イオン注入により、ゲート端部のゲート絶縁膜をフッ素添加シリコン酸化膜とする工程を含むことを特徴とする請求項 15 記載の半導体装置の製造方法。

【請求項 17】 基板の主表面上に、ゲート酸化膜を介してゲート電極を形成する工程、窒素の斜めイオン注入により、ゲート端部のゲート酸化膜を窒素添加シリコン酸化膜とする工程を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は半導体装置とその製造方法に関し、特に MOS 型電界効果トランジスタの構造とその製造方法に関するものである。

## 【0002】

【従来の技術】 素子の微細化においては、ゲート長  $0.15 \mu\text{m}$  レベルの MOS 型トランジスタを動作させるためには、薄いゲート絶縁膜と  $0.1 \mu\text{m}$  以下の浅い拡散層の形成が必要である。前者のゲート絶縁膜には、従来からシリコン酸化膜が用いられてきた。しかし、素子の微細化とともに、シリコン酸化膜の薄膜化が行われ、ゲート絶縁膜に印加される電界が強くなり酸化膜の信頼性が問題視されるようになった。そこでゲート絶縁膜の縦方向エンジニアリングが行われ、シリコン窒化膜と酸化膜の積層構造をもつものが用いられるようになった。この構造を用いれば、シリコン窒化膜はシリコン酸化膜より 2 倍程度誘電率が大きいために、シリコン酸化膜のみであれば 60 オングストロームであるのに対して、シリコン窒化膜／シリコン酸化膜 = 80 オングストローム／20 オングストロームで全膜厚 100 オングストロームとなり、積層化することで一応の厚膜化がはかられ、電界緩和が可能になる。

【0003】 また、後者の浅い接合形成には、イオン注入エネルギーの低エネルギー化と、熱処理温度の低温化が行われてきた。イオン注入エネルギーの低エネルギー化では、PMOS の浅い接合形成にボロン注入を数  $\text{K}\phi$  V で行わなければならない、プロセスの安定性、スループットの極端な悪化を招いていた。最近になって

は、固相拡散を用いたものも報告されるようになってきている。しかし、これらの方法は従来技術の延長であり、プロセス的に限界が残る。この浅い接合をプロセス的に作らず、電気的に作り、接合深さを浅くコントロールしたものとして、図15に示すようなゲート電極を3個有した（メインゲートとその隣にゲート／ソース間電界を緩和するサブゲート）ものが報告されている（Hirromasa Noda et al. IEDM 1993 P123）。

【0004】図15において、1はシリコン基板、2はシリコン基板1上のゲート酸化膜、3はメインゲート、4は、メインゲート3の側壁に酸化膜を介して形成されたサブゲートである。5は、サブゲート4を形成した後にイオン注入により形成されるソース／ドレインの高濃度拡散層、6はサブゲート下の反転層である。図15は、まずシリコン基板1上にゲート酸化膜2、メインゲート3を作成する。メインゲート3のパターニングを行った後、メインゲート3の側壁に酸化膜を形成し、メインゲート3とショートしないようにサブゲート4を形成する。次に、イオン注入によりソース／ドレインの高濃度拡散層5を形成し、MOS型半導体素子が作られる。このトランジスタの特徴は、低濃度拡散層の形成がイオン注入等によるものではなく、基本的に、従来のシングルドレイン構造であっても、サブゲート4下のシリコン層の反転電荷をLDD構造として利用しており、そのため接合深さ0 $\mu$ mを得ているものである。具体的なトランジスタ動作は、あらかじめサブゲート4に電圧を印加しておく（例えば10V程度）、その下のシリコン層は反転する。この反転層6の深さは数十オングストローム程度と非常に浅く、この部分が通常のトランジスタのLDD層となる。そこで、メインゲート3の印加電圧によりスイッチング特性を得る。

#### 【0005】

【発明が解決しようとする課題】上記のような従来の技術、すなわちゲート絶縁膜にかかる電界緩和を行うためにシリコン窒化膜と酸化膜の積層構造をもつものでは、ゲート電極形成までの時間は増大し、また電流の流れる方向に垂直に酸化膜／窒化膜の界面遷移層が存在し、界面特性が悪化する可能性が大きい。これは、直接的に素子劣化につながるものであり、工程数の増大も伴ってしまう。また、浅い接合を得るための図15に示すトランジスタでは、ゲートを3個直列に並べ、それぞれがショートしないようにするために、平面での素子1個あたりの面積を大きくする必要があり、工程数も膨大になるという問題点がある。

【0006】この発明は、このような2点の課題の解決、即ちゲート酸化膜2にかかる電界緩和と浅い接合の形成を得るためのもので、簡易プロセスで素子を作成し、プロセス工程も通常のMOS型半導体素子形成プロセスと何ら遜色ないものとするを目的としている。

#### 【0007】

【課題を解決するための手段】この発明に係わる半導体装置においては、基板の主表面上に平行な方向に、誘電率の異なる複数の層よりなるゲート絶縁膜を備えたものである。また、ゲート絶縁膜のゲート中央部の層より、ゲート端部の少なくともドレイン側の層を低誘電率としたものである。また、ゲート中央部の層をシリコン酸化膜とし、ドレイン側の層を中空としたものである。さらに、ゲート中央部の層をシリコン酸化膜とし、ドレイン側の層をフッ化シリコン酸化膜としたものである。また、ゲート中央部の層をシリコン窒化膜とし、ドレイン側の層をシリコン酸化膜としたものである。また、ゲート絶縁膜のゲート中央部の層より、ゲート端部の層を高誘電率としたものである。加えて、ゲート中央部の層をシリコン酸化膜とし、ゲート端部の層をシリコン窒化膜又はチタン酸バリウムストロンチウム膜としたものである。また、基板の主表面上に形成された活性領域外の酸化膜上に両端を置き、活性領域上にエアブリッジ構造をもって形成されたゲート電極と、このゲート電極の下に形成された中空のゲート絶縁膜を備えたものである。

【0008】さらにまた、この発明に係わる半導体装置の製造方法においては、基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する工程と、エッチングにより、ゲート絶縁膜の一部を除去する工程を含むものである。また、ゲート絶縁膜及びゲート電極の側壁に絶縁膜を形成し、ゲート絶縁膜の除去した部分を中空にする工程を含むものである。また、基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する工程と、エッチングにより、ゲート絶縁膜の一部を除去する工程と、斜め回転イオン注入により、ゲート絶縁膜の除去した部分の下に低濃度拡散層を形成する工程と、ゲート絶縁膜及びゲート電極の側壁に絶縁膜を形成し、ゲート絶縁膜の除去した部分を中空にする工程を含むものである。さらに、ゲート絶縁膜の中空部分に、急速熱処理することにより薄い酸化膜又は薄い窒化膜からなるパッシベーション膜を形成する工程を含むものである。また、ゲート絶縁膜の除去した部分に、低誘電率の材料を埋め込む工程を含むものである。

【0009】また、ゲート絶縁膜の除去した部分に、高誘電率の材料を埋め込む工程を含むものである。加えて、基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する工程と、斜め回転イオン注入により、ゲート端部のゲート絶縁膜の誘電率をゲート中央部のゲート絶縁膜の誘電率と異なる値とする工程を含むものである。また、ゲート絶縁膜がシリコン酸化膜であり、フッ素の斜め回転イオン注入により、ゲート端部のゲート絶縁膜をフッ素添加シリコン酸化膜とする工程を含むものである。また、基板の主表面上に、ゲート酸化膜を介してゲート電極を形成する工程と、窒素の斜めイオン注入により、ゲート端部のゲート酸化膜を窒素添加シリコン

酸化膜とする工程を含むものである。

#### 【0010】

【作用】上記のような半導体装置または半導体装置の製造方法においては、ゲート絶縁膜のゲート中央部の層より、ゲート端部の少なくともドレイン側の層を低誘電率とし、ゲート電界が下向きの仮想的に凸型となるようにする。また、ゲート絶縁膜のゲート中央部の層より、ゲート端部の層を高誘電率とし、ゲート電界を下向きの仮想的に凹型となるようにし、ゲートに低い電圧が印加された状態では、高誘電率膜の下シリコンが反転して浅い接合である反転層を形成し、これがLDDとして動作する。また、基板の主表面上に形成された活性領域外の酸化膜上に両端を置き、活性領域上にエアブリッジ構造をもって形成されたゲート電極と、このゲート電極の下に形成された中空のゲート絶縁膜を備え、ゲート端部を低誘電率のゲート絶縁膜とする。

【0011】さらにまた、基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する工程と、エッチングにより、ゲート絶縁膜の一部を除去する工程を含み、ゲート端部のゲート絶縁膜を別の層に形成することができる。また、ゲート絶縁膜及びゲート電極の側壁に絶縁膜を形成し、ゲート絶縁膜の除去した部分を中空にする工程を含み、ゲート電界が仮想的に下向きの凸型となるようにする。また、基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する工程と、エッチングにより、ゲート絶縁膜の一部を除去する工程と、斜め回転イオン注入により、ゲート絶縁膜の除去した部分の下に低濃度拡散層を形成する工程と、ゲート絶縁膜及びゲート電極の側壁に絶縁膜を形成し、ゲート絶縁膜の除去した部分を中空にする工程を含み、ゲート電界が仮想的に下向きの凸型となるようにすると共に、実効的なゲート長をゲート電極長より短くする。

【0012】さらに、ゲート絶縁膜の中空部分に、急速熱処理することにより薄い酸化膜又は薄い窒化膜からなるパッシベーション膜を形成する。加えて、基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する工程と、斜め回転イオン注入により、ゲート端部のゲート絶縁膜の誘電率をゲート中央部のゲート絶縁膜の誘電率と異なる値とする工程を含み、ゲート端部のゲート絶縁膜を低誘電率または高誘電率のものにすることができる。また、ゲート絶縁膜がシリコン酸化膜であり、フッ素の斜め回転イオン注入により、ゲート端部のゲート絶縁膜をフッ素添加シリコン酸化膜とする工程を含み、ゲート電圧印加時にゲート電界が仮想的に下向きの凹型になるようにする。

#### 【0013】

#### 【実施例】

実施例1. 図1はMOS型半導体素子の要部を示す構成図、図2はシリコン酸化膜換算での仮想的なゲート絶縁膜形状模式図である。図において、1、5は上記従来装置と同様のものであり、その説明を省略する。図1において、7はゲート絶縁膜の一部を構成するゲートシリコン酸化膜、8はゲート絶縁膜上に形成されたポリシリコンゲート電極、9はポリシリコンゲート電極8の側壁に形成されたシリコン窒化膜または酸化膜のサイドウォール、10は半導体素子全体を被う保護膜、11はコンタクトとして用いられるアルミニウム電極である。12はシリコン基板1に形成された低濃度拡散層、13はゲートシリコン酸化膜7とサイドウォール9との間に形成された真空又は空気の中空構造部である。

【0014】図2において、14は凸型構造の仮想ゲート電極、15は凹型構造の仮想ゲートシリコン酸化膜である。このMOS型半導体素子は、図1に示すようにシリコン基板1上のゲート絶縁膜が横方向（ソースからドレインに向かうチャンネル方向）に真空又は空気の中空構造部13、ゲートシリコン酸化膜7、真空又は空気の中空構造部13の3つで構成される。言換えれば、横方向に3層の積層構造（一般的には積層と言えれば縦方向の積み重ねではあるが、この場合は違う）を有している。次に、この発明の実施例1によるMOS型半導体素子の製造方法について、図1を用いて説明する。シリコン基板1上に通常のMOS型素子作成プロセスを用いて、ウェル（図示せず）を形成、ゲート絶縁膜としてゲートシリコン酸化膜7、ポリシリコンゲート電極8を形成する。その後、写真製版を行い所望のゲート長を得る。次に、例えばフッ化水素酸によるウェットエッチングを行い、ゲートシリコン酸化膜7を細らせる（一部除去する）。低濃度拡散層12を形成した後に、シリコン窒化膜又は酸化膜のサイドウォール9を形成する。このサイドウォール9の形成時にシリコン基板1とポリシリコンゲート電極8ではさまれた一部分が中空構造となり、横方向に真空又は空気の中空構造部13、ゲートシリコン酸化膜7、真空又は空気の中空構造部13が形成される。更にソース／ドレインの高濃度拡散層5を形成する。その後、全面に保護膜10を堆積し、各領域にアルミニウム電極11等によりコンタクトをとり、MOS型半導体素子を得る。

【0015】上記のウェットエッチングより精度をあげるためにRIE（反応性ドライエッチング）によるゲートシリコン酸化膜7の細らせ工程を用いても良い。更に、ゲートシリコン酸化膜7をウェットエッチングにより細らせる工程の前に、ポリシリコンゲート電極8を形成後に、シリコン窒化膜、タングステン等を堆積させれば、ゲートシリコン酸化膜7を細らせた後におけるポリシリコンゲート電極8の倒れや歪みを防止できる。このゲート絶縁膜が横方向に3層で構成される対称型のMO

S型半導体素子では、中空構造部13は真空に近いもの、或いは減圧状態又は大気圧の空気であるために誘電率がおよそ1であり、一方ゲートシリコン酸化膜7の誘電率は3.9である。この誘電率からシリコン酸化膜のみに置き換えて考えれば、中空構造部13の部分の膜厚がゲートシリコン酸化膜7の部分の4倍程度となり、図2に示すように仮想ゲート電極（ゲート電圧印加時にゲート電界の強さを示すとした時の形状）14が、仮想的に下向きに凸型構造（仮想ゲートシリコン酸化膜15では仮想的に凹型構造）を有することになる。そのため、従来のMOS型素子のドレイン／ゲート間での電界の厳しい部分の電界緩和が達成でき、信頼性が向上する。

【0016】また、ゲート絶縁膜エッジ近傍の低誘電率膜が電流駆動能力を劣化させる危惧があるが、低濃度拡散層をゲートオーバーラップ構造とすることにより、これを回避することができる。実施例1ではソース／ドレインに対して対称型のMOS型半導体素子について述べたが、例えば、ドレイン近傍のゲート絶縁膜だけに低誘電率化を行うことも可能である。

【0017】実施例2. 実施例1では、ゲート絶縁膜の一部に中空構造部13を設けたが、実施例2では、ゲートシリコン酸化膜7、ポリシリコンゲート電極8を形成し、ゲートシリコン酸化膜7を細らせた後に、誘電率の違うもの、特に低誘電率膜のフッ化シリコン酸化膜を成長させ、通常のエッチバック工程を経て、ポリシリコンゲート電極8の下部に埋め込む。これにより、横方向にフッ化シリコン酸化膜、シリコン酸化膜、フッ化シリコン酸化膜からなるゲート絶縁膜が形成される。これにより電界集中の発生するゲートエッジでの電界緩和が可能となり素子寿命が改善される。また、ゲート絶縁膜にシリコン窒化膜を用いて、それを細らせた後に、シリコン酸化膜を堆積し、上記工程を経て、横方向にシリコン酸化膜、シリコン窒化膜、シリコン酸化膜を形成してもよい。

【0018】実施例3. 実施例1でゲートシリコン酸化膜7、ポリシリコンゲート電極8を形成した後に、等方性のエッチングを用いて活性領域のゲートシリコン酸化膜7を細らせた後に、 $N_2$  雰囲気で $800\sim1000^{\circ}C$ 、30SEC程度のRTP（急速熱処理）を用いて表面をわずかに酸化又は窒化させ、パッシベーション膜とする。その後、異方性のエッチングによりソース／ドレイン上のパッシベーション膜を除去し、ソース／ドレインのコンタクトを形成する。このパッシベーション膜によりゲートシリコン酸化膜7を細らせる工程で発生する欠陥の除去を行い、ゲート端部でのゲートに注入されるキャリアによる劣化寿命を向上させる。

【0019】実施例4. 図3はこの発明の実施例4によるMOS型半導体素子の要部を示す構成図、図4はこの発明の実施例4によるMOS型半導体素子の上方からの構成図である。実施例4ではゲートシリコン酸化膜

7、ポリシリコンゲート電極8、シリコン窒化膜又はタングステンを形成した後に、等方性のエッチングを用いて活性領域のゲートシリコン酸化膜7をすべて除去する。この時のポリシリコンゲート電極8のパターンは活性領域より領域外のゲート長が長くなるようにしておく。具体的には、図4に示すような形状にしておく。そうすることで、活性領域外のゲートシリコン酸化膜7を一部残すことができ、エアーブリッジ構造の真空又は空気のゲート絶縁膜16を形成する。その後サイドウォール工程を経てゲート絶縁膜が真空又は空気で構成されるMOS型半導体素子が完成される。一般にホットキャリア等によるゲート絶縁膜中に欠陥が作られるモードによる破壊は、ドレイン側のゲート端部で発生する。従来構造のゲート絶縁膜には劣化が伴うものが、本発明では、ゲート酸化膜中のトラップ準位が理想的に存在しなく欠陥フリーの素子となる。しかし誘電率が低く、電流駆動能力が低下するため、ゲート絶縁膜は数nmにしておく必要がある。

【0020】実施例5. 実施例5ではシリコン酸化膜からなるゲート絶縁膜、ポリシリコンゲート電極を形成した後に、斜め回転注入によりフッ素イオン注入を行う。注入されたフッ素はゲート電極のエッジ近傍のシリコン酸化膜に注入され、適切な熱処理が施されて低誘電率のフッ素添加シリコン酸化膜（ $SiOF$ ）が形成される。これにより電界集中の発生するゲートエッジ端部で、低誘電率であるために、実施例1と同様に電界緩和が可能となり素子寿命が改善される。なお、シリコン基板及びポリシリコンゲート電極のシリコン中に注入されたフッ素は同半導体不純物であるボロン等の拡散を抑制するために、別の工程でフッ素注入する必要がなくなる。

【0021】実施例6. 図5はこの発明の実施例6によるMOS型半導体素子の要部を示す構成図、図6はシリコン酸化膜換算での仮想的なゲート絶縁膜形状模式図、図7は低ゲート電圧印加時の動作状況の説明図、図8は高ゲート電圧印加時の動作状況の説明図である。ゲートシリコン酸化膜7、ゲート電極を形成し、ゲートシリコン酸化膜7を細らせた後に、誘電率の違うもの、特に高誘電率膜18を堆積させ、通常のエッチバック工程を経てゲート電極の下部に埋め込む。膜厚が非常に薄い場合は、原料ガスとなるアンモニア等を導入し、RTPを用いてゲートポリシリコン、シリコン基板の窒化処理を行い、ゲートシリコン窒化膜を形成させる。ソース又はドレイン側の高誘電率膜18からなる埋め込み材、細らされたゲートシリコン酸化膜7で対称型のMOS型半導体素子を形成する。高誘電率膜18はシリコン窒化膜、BST（チタン酸バリウムストロンチウム）膜等が用いられる。このことを実施例1と同様にシリコン酸化膜のみで置き換えれば、図6に示すように仮想ゲート電極19が仮想的に下向きの凹構造（仮想ゲートシリコン酸化膜20）を有することになる。

【0022】従って、高誘電率膜18にはゲートシリコン酸化膜7に比べて相対的に電界は強くなる。ゲートに低い電圧が印加されている図7の状態、高誘電率膜18の下部のシリコンは反転し、反転層21を形成する。この反転電荷は低濃度拡散層のLDD構造として用いられる。2次元反転層であるため非常に浅い接合が形成されたことになる。次にゲート電極の印加電圧を上げて行くと、ゲートシリコン酸化膜7の下部のシリコンが反転し、反転層22が形成され、電流が流れる。トランジスタのスイッチング特性は、ゲートシリコン酸化膜7の下部のシリコンで制御される。このトランジスタ動作は、基本的に従来例に示したものと類似しているが、本発明のトランジスタ動作は1コのゲートのみで制御される。通常のシングルドレイン構造のトランジスタに比べて、実効的なゲート長( $L_{eff}$ )を短くでき、電流駆動能力を上げることができる。これは非常に浅い接合のMOS型半導体素子であり、ショートチャンネル効果に強いMOS型素子構造となる。

【0023】実施例7. 図9はこの発明の実施例7によるMOS型半導体素子の作成方法を示す構成図である。製造工程は基本的に実施例5に示したものと同じであるが、実施例7では窒素を斜め注入23により、ゲート電極のエッジ近傍のゲートシリコン酸化膜7に注入する。これによりエッジ近傍のゲートシリコン酸化膜7は適切な熱処理により、酸化膜より誘電率の大きい窒素添加シリコン酸化膜24になり、実施例6と同じ効果が得られる。なお、ゲート電極に注入された窒素25は同半導体不純物であるボロン等の拡散を抑制する効果があるために、別の工程で窒素注入する必要がなくなる。また、ソース/ドレインの高濃度層に導入される窒素26についても同様の効果が期待され、問題は生じない。また、本発明は通常の素子製造プロセスであり工程数の増加はほとんどない。

【0024】次に、実施例6、7に述べたMOS型半導体素子について、従来のシングルドレイン構造及びゲートオーバーラップLDD構造と、シミュレーションを用いてトランジスタ動作を比較し検討した。以下に結果を示す。図10はシミュレーションで与えたMOS型半導体素子の構造模式図である。(a)シングルドレイン構造、(b)ゲートオーバーラップLDD構造、(c)本発明の構造を示す。5、7、8、18は図5におけるものと同一のものである。12は低濃度拡散層である。ゲートシリコン酸化膜7(誘電率3.9)、ゲート高誘電率膜18(誘電率10.0)は矩形で与えた。サイズは、 $A=0.27\mu\text{m}$ 、 $B=0.2\mu\text{m}$ 、 $C=0.452\mu\text{m}$ 、 $D=0.008\mu\text{m}$ 、 $E=1.0\mu\text{m}$ 、 $F=0.1\mu\text{m}$ 、 $G=0.25\mu\text{m}$ 、 $H=0.05\mu\text{m}$ 、 $I=0.15\mu\text{m}$ で与えた。不純物濃度は、ソース/ドレインの高濃度層 $1\times 10^{20}\text{cm}^{-3}$ 、低濃度拡散層(LDD) $1\times 10^{18}\text{cm}^{-3}$ 、基板濃度 $3\times 10^{17}\text{cm}^{-3}$ で与

えた。

【0025】図11はMOS型半導体素子のシミュレーションによる電流電圧特性図を示す。図中の(a)、(b)、(c)は図10の構造に対応する。ゲート電極2.5V、ドレイン電圧2.5V、基板電圧-1.0V印加した場合に、ドレイン電流は、(a)シングルドレイン構造で4.94mA、(b)ゲートオーバーラップLDD構造で5.48mA、(c)この発明の構造で5.21mAであった。ゲートオーバーラップLDD構造で電流駆動能力が上がっているのは、実効ゲート長が他に比べて0.1 $\mu\text{m}$ ほど短くなっているためである。この発明の構造でゲート高誘電率膜18の誘電率を10とすることで、ドレイン電流が、シングルドレイン構造に比較して5%程度増加している。更に、高誘電率膜18の誘電率を20程度とすることで、ゲートオーバーラップLDD構造と同程度の電流駆動能力が得られる。

【0026】図12にシミュレーションによるポテンシャル分布図を示す。図中の(a)、(b)、(c)は図10の構造に対応する。ゲート電圧0.0V、ドレイン電圧2.5V、基板電圧-1.0V印加した場合に、ゲートオーバーラップLDD構造(b)では表面近傍でドレインからのポテンシャルの張り出しが大きく、即ちドレインからの空乏層の伸びが大きくパンチスルーが発生しやすくなっていることがわかる。一方、本発明の構造(c)では、シングルドレイン構造(a)と基本的に同じで表面パンチスルーに強い構造であることがわかる。図13にシミュレーションによる横方向(ソースからドレインに向かう)電界とポテンシャル図を示す。図中の(a)、(b)、(c)は図10の構造に対応する。ゲート電圧2.5V、ドレイン電圧2.5V、基板電圧-1.0V印加した場合に、ゲートオーバーラップLDD構造(b)、本発明の構造(c)ともにドレイン端での横方向電界が抑えられていることがわかる。図11~13の結果をまとめてみると、本発明のソース、ドレイン端のゲート絶縁膜に高誘電率膜を持つ構造では、LDD構造と同様に横方向電界を緩和するとともに、LDD構造の弱点であるパンチスルーには強く、かつ電流駆動能力を上げることができる。

【0027】実施例8. 図14はこの発明の実施例8によるMOS型半導体素子の要部を示す構成図である。次に、実施例8に係るMOS型半導体素子の製造方法について説明する。シリコン基板1に通常のMOS型半導体素子作成プロセスを用いて、所望のゲート電極長を得る。例えば0.3 $\mu\text{m}$ のゲート電極長27を形成する。次にゲート絶縁膜、例えばゲートシリコン酸化膜7を例えば0.1 $\mu\text{m}$ ずつ細らせる。細らされたゲートシリコン酸化膜7下部の0.1 $\mu\text{m}$ がトランジスタの実効的なゲート長28となる。次に斜め回転注入29等による低濃度拡散層12をゲート絶縁膜の中空構造部13の下に形成する。同様にサイドウォール9の形成時に、シリコ

ン基板 1 とポリシリコンゲート電極 8 の一部分との間が中空構造となり、横方向に真空の中空構造部 13、シリコン酸化膜 7、真空の中空構造部 13 が形成される。この MOS 型半導体素子は、実効的なゲート長 28 をゲート電極長 27 より短くでき、例えば  $L_{eff} = 0.1 \mu m$ 、 $L_g = 0.3 \mu m$  程度に形成でき、サブクォーターミクロンでのゲート抵抗増大を防ぐことができる。

【0028】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。ゲート絶縁膜のゲート中央部の層より、ゲート端部の少なくともドレイン側の層を低誘電率とし、ゲート電圧印加時にゲート電界が仮想的に下向きの凸型とすることで、MOS 型半導体素子の劣化に大きく作用するゲート電極端部での電界集中を緩和することが可能となり素子寿命が改善される。また、ゲート絶縁膜のゲート中央部の層より、ゲート端部の層を高誘電率とし、ゲート電界を仮想的に下向きの凹型とすることで、ゲートに低い電圧が印加された状態では、高誘電率膜の下シリコンが反転して浅い接合である反転層を形成し、これが LDD として動作するので、浅い接合を有する MOS 型半導体素子が得られ、ショートチャネル効果に強い素子作成が可能になり、LDD 構造の弱点であるパンチスルーには強く、かつ電流駆動能力も上げることができる。

【0029】また、基板の主表面上に形成された活性領域外の酸化膜上に両端を置き、活性領域上にエアブリッジ構造をもって形成されたゲート電極と、このゲート電極の下に形成された中空のゲート絶縁膜を備え、ゲート端部を低誘電率のゲート絶縁膜とするので、ホットキャリアによるゲート絶縁膜の欠陥がなくなる。さらにまた、基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する工程と、エッチングにより、ゲート絶縁膜の一部を除去する工程を含み、ゲート端部のゲート絶縁膜を別の層に形成するので、工程数の増加もほとんどなく、安価に作ることができる。

【0030】また、ゲート絶縁膜及びゲート電極の側壁に絶縁膜を形成し、ゲート絶縁膜の除去した部分を中空にする工程を含み、ゲート電極を下向きの仮想凸型構造とするので、ゲート電極端部での電界集中を緩和することが可能となる。また、基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する工程と、エッチングにより、ゲート絶縁膜の一部を除去する工程と、斜め回転イオン注入により、ゲート絶縁膜の除去した部分の下に低濃度拡散層を形成する工程と、ゲート絶縁膜及びゲート電極の側壁に絶縁膜を形成し、ゲート絶縁膜の除去した部分を中空にする工程を含み、ゲート電極を下向きの仮想凸型構造とすると共に、実効的なゲート長をゲート電極長より短くするので、サブクォーターミクロンでのゲート抵抗増大を防ぐことができる。

【0031】さらに、ゲート絶縁膜の中空部分に、急速

熱処理することにより薄い酸化膜又は薄い窒化膜からなるパッシベーション膜を形成するので、このパッシベーション膜によりゲート絶縁膜の一部を除去する工程で発生する欠陥の除去を行い、ゲート電極端部でゲートに注入されるキャリアによる劣化寿命を向上できる。加えて、基板の主表面上に、ゲート絶縁膜を介してゲート電極を形成する工程と、斜め回転イオン注入により、ゲート端部のゲート絶縁膜の誘電率をゲート中央部のゲート絶縁膜の誘電率と異なる値とする工程を含み、ゲート端部のゲート絶縁膜を低誘電率または高誘電率のものにするので、工程数の増加もほとんどなく、安価に作ることができる。

【0032】また、ゲート絶縁膜がシリコン酸化膜であり、フッ素の斜め回転イオン注入により、ゲート端部のゲート絶縁膜をフッ素添加シリコン酸化膜とする工程を含み、ゲート電極を下向きの仮想凸型構造とするので、電界緩和が可能となり、素子寿命が改善されると共に、工程数の増加もほとんどなく、安価に作ることができる。また、基板の主表面上に、ゲート酸化膜を介してゲート電極を形成する工程と、窒素の斜めイオン注入により、ゲート端部のゲート酸化膜を窒素添加シリコン酸化膜とする工程を含み、ゲート電極を下向きの仮想凹型構造とするので、工程数の増加もほとんどなく、安価に、浅い接合を有する MOS 型半導体素子が得られ、パンチスルーに強くかつ電流駆動能力も上げることができる。

【図面の簡単な説明】

【図 1】 この発明の実施例 1 による MOS 型半導体素子要部を示す構成図である。

【図 2】 この発明の実施例 1 による MOS 型半導体素子の仮想的な電極、絶縁膜を示す構成図である。

【図 3】 この発明の実施例 4 による MOS 型半導体素子の要部を示す構成図である。

【図 4】 この発明の実施例 4 による MOS 型半導体素子の上方からの構成図である。

【図 5】 この発明の実施例 6 による MOS 型半導体素子要部を示す構成図である。

【図 6】 この発明の実施例 6 による MOS 型半導体素子の仮想的な電極、絶縁膜を示す構成図である。

【図 7】 この発明の実施例 6 による低ゲート電圧印加時の MOS 型半導体素子の動作方法を示す構成図である。

【図 8】 この発明の実施例 6 による高ゲート電圧印加時の MOS 型半導体素子の動作方法を示す構成図である。

【図 9】 この発明の実施例 7 による MOS 型半導体素子の作成方法を示す構成図である。

【図 10】 この発明の実施例 7 による MOS 型半導体素子のシミュレーションで与えた構造模式図である。

【図 11】 この発明の実施例 7 による MOS 型半導体素子のシミュレーションによる電流電圧特性図である。

【図12】 この発明の実施例7によるMOS型半導体素子のシミュレーションによるポテンシャル分布図である。

【図13】 この発明の実施例7によるMOS型半導体素子のシミュレーションによる横方向（ソースからドレインに向かう）電界とポテンシャル図である。

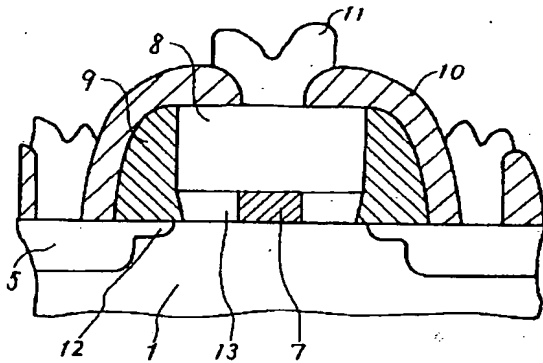
【図14】 この発明の実施例8によるMOS型半導体素子要部を示す構成図である。

【図15】 従来のMOS型半導体素子の要部を示す構成図である。

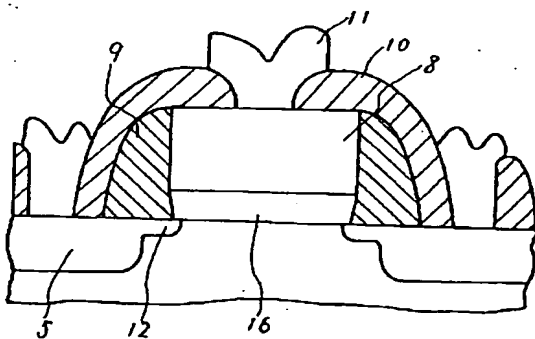
【符号の説明】

1 シリコン基板、5 高濃度拡散層、7 ゲートシリコン酸化膜、8 ポリシリコンゲート電極、9 サイドウォール、10 保護膜、11 アルミニウム電極、12 低濃度拡散層、13 中空構造部、14 19 仮想ゲート電極、15 20 仮想ゲートシリコン酸化膜、16 真空（空気）のゲート絶縁膜、18 高誘電率膜、21 高誘電率膜下に誘起された反転層、22 シリコン酸化膜下に誘起された反転層、24 窒素添加シリコン酸化膜、27 ゲート電極長、28 実効ゲート長

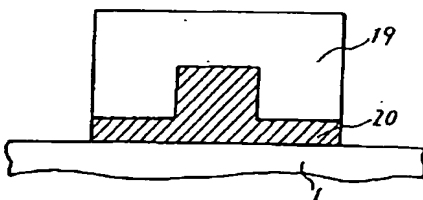
【図1】



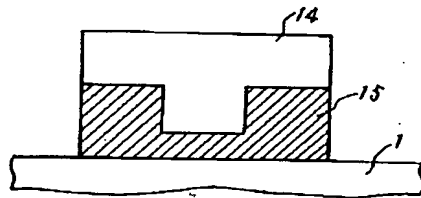
【図3】



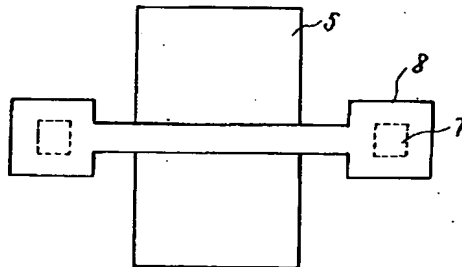
【図6】



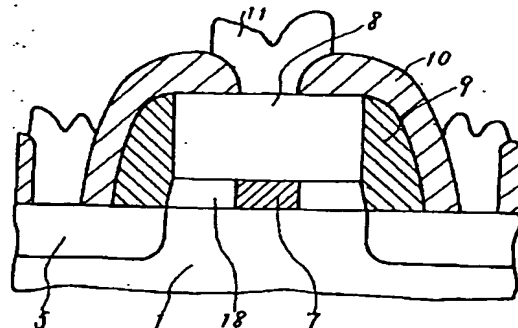
【図2】



【図4】



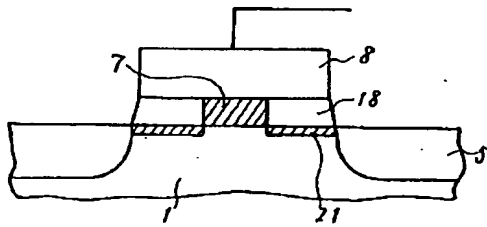
【図5】



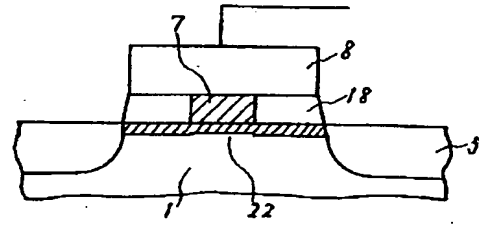
1:シリコン基板  
5:高濃度拡散層  
7:ゲートシリコン酸化膜  
8:ポリシリコンゲート電極  
9:サイドウォール  
18:高誘電率膜



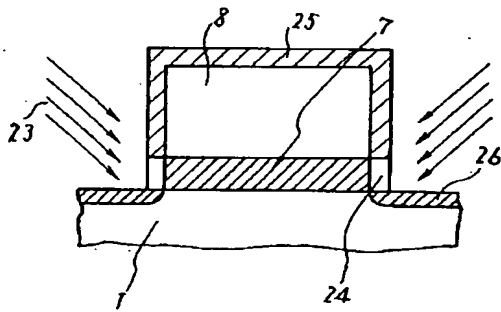
【図7】



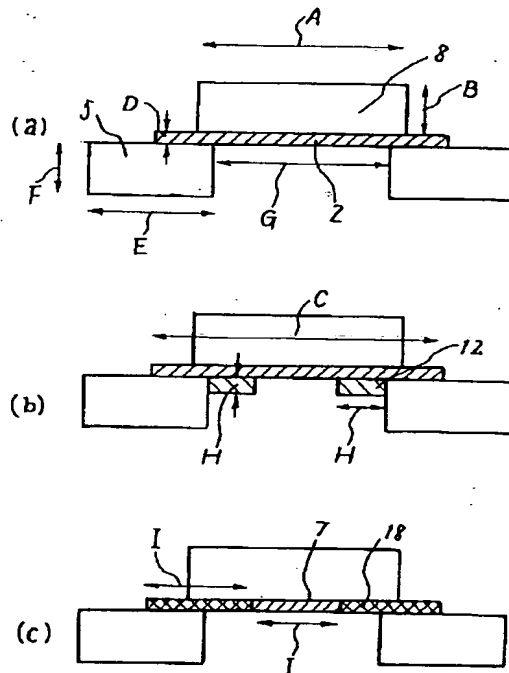
【図8】



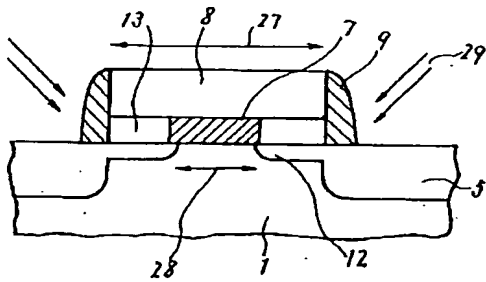
【図9】



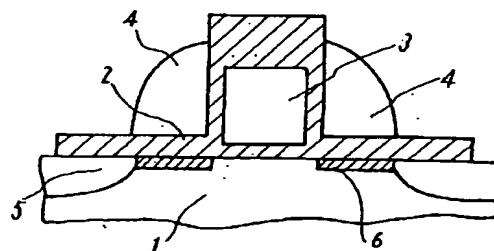
【図10】



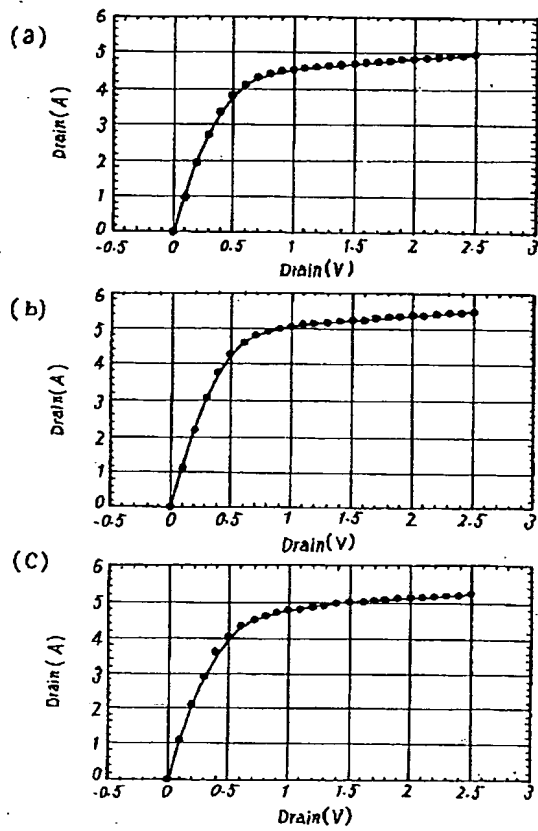
【図14】



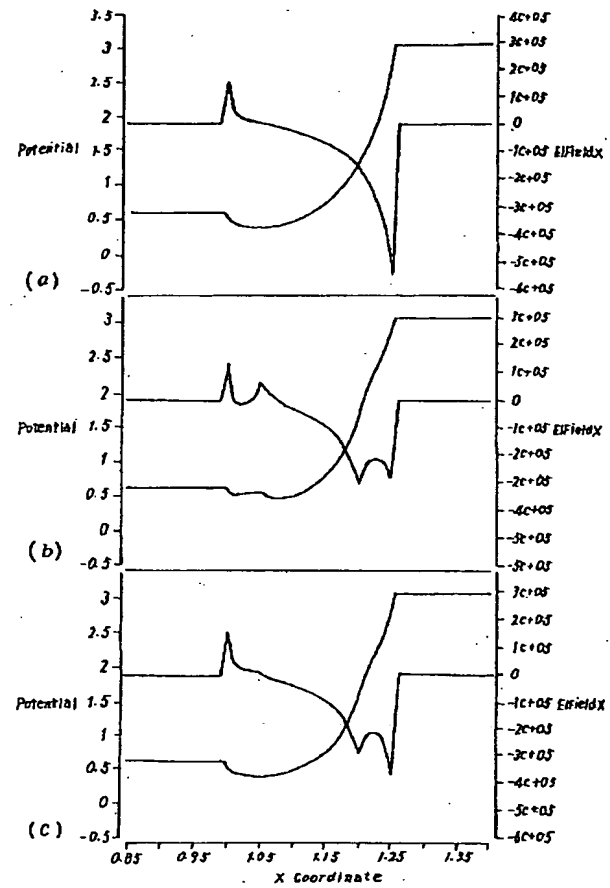
【図15】



【図11】



【図13】



【図12】

